



TOC

Report **2**

Other pages:

Report

- Verificação do footprint e dimensões do socket SODIMM para aferir da colocação de componentes em redor e sob o módulo. Sugerida hipótese do uso de sockets com ângulo. Encontrado modelo com 25 graus.
- Colocação de todos os componentes do management local AMCs e RTM
- **DÚVIDA** – Não está explícito na [datasheet](#) se o exposed pad do ADG3246 é para ligar a GND
- Confirmação que se pode pôr componentes no bottom da ficha positronic, mas que a mesma implica uma alteração aos contornos do módulo.
- Verificação dos módulos keying e componentes em redor para evitar curto-circuitos.
- Os sockets para estas FPGA necessitam do espaço da FPGA +4mm (2mm de cada lado) (Nuno)
- Deslocação dos ATCA clock buffers para arranjar espaço
- Update da BOM.
- Update do padstack da ficha JTAG (FPGA) para permitir passar uma linha entre pins.
- Verificação das dimensões das fichas AMC (Yamaichi)
- Correção de stitching vias (o allegro atribui por defeito a net 12V se são movidas, sem motivo aparente)
- Colocação de DC-DCs, componentes auxiliares e planos de dissipação
- Ajuste das “constraints” dos pares diferenciais a rotear.
- Planeamento da atribuição de sinais à FPGA por regiões/bancos.
- Recepção de componentes e verificação das encomendas e elaboração da lista de stock.